



(19)

Generated Document

(11) Publication number:

10162585 A

PATENT ABSTRACTS OF JAPAN

(21) Application number: 08322472

(51) Intl. Cl.: G11C 11/419 G11C 29/00 H03K 5/02

(22) Application date: 03.12.96

(30) Priority:

(43) Date of application publication: 19.06.98

(84) Designated contracting states:

(71) Applicant: SONY CORP

(72) Inventor: NAKAJIMA KATSUYA

(74) Representative:

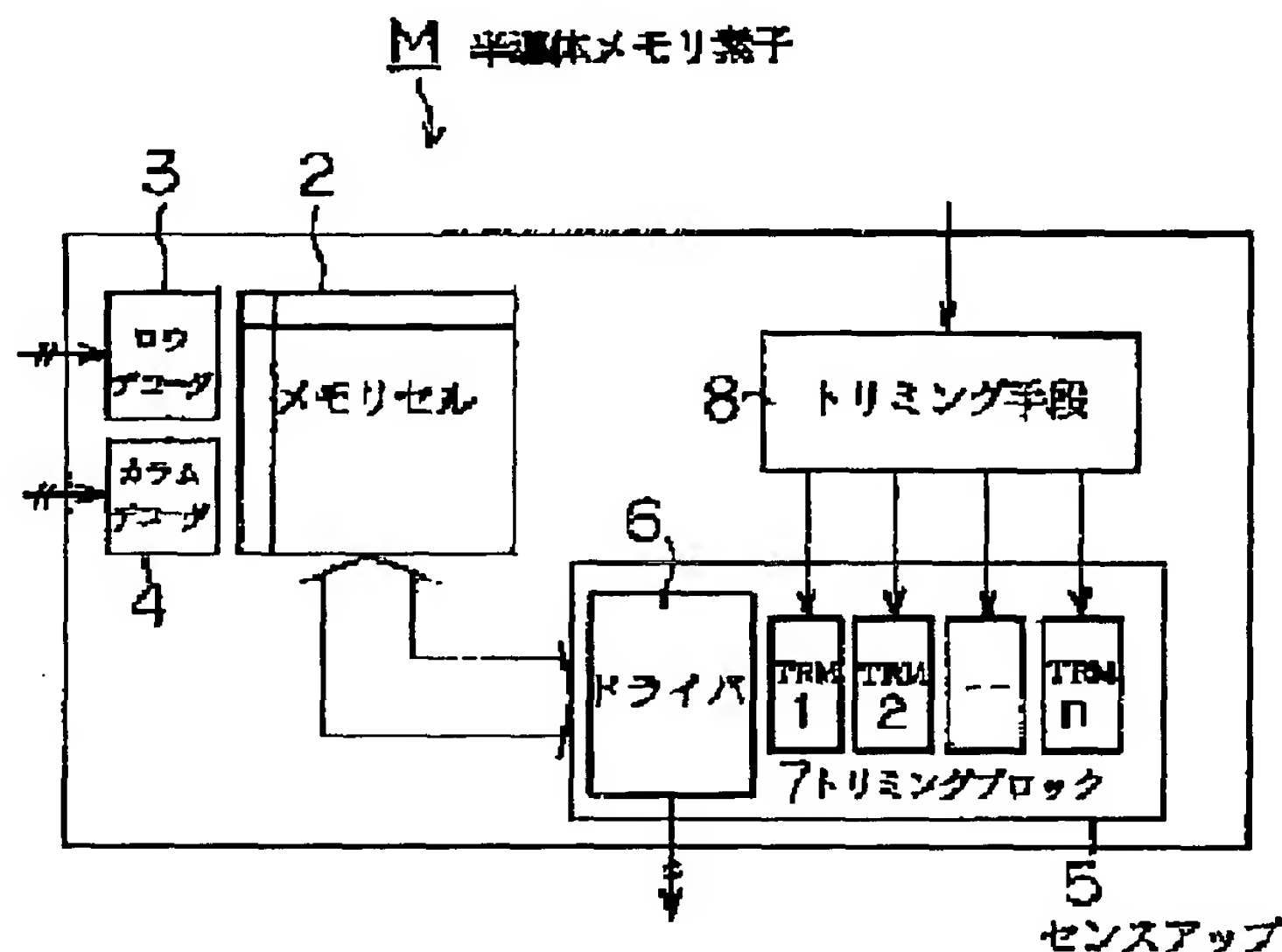
(54) SEMICONDUCTOR MEMORY
ELEMENT PROVIDED WITH SENSE
AMPLIFIER HAVING TRIMMING
FUNCTION

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor memory element from which data can be read out at a high speed by reducing the input offset of a sense amplifier at an arbitrary point of time by incorporating a trimming device in the sense amplifier.

SOLUTION: A semiconductor memory element M is provided with a memory cell 2, decoders 3 (row) and 4 (column), a sense amplifier 5, and a trimming device 8 and the amplifier 5 is constituted of a driver 6 and trimming blocks 7. When the trimming device 8 is constituted of a fuse array circuit, two control input signals are supplied as the output of the fuse array circuit. When the measured optimum trimming adjusting value of a certain sense amplifier is, for example, 15mV, the fuses of output circuits to first and second trimming blocks TRM 1 and TRM 2 do not blow off and the output circuits are set to conducted states. Therefore, only the input offset of the sense amplifier becomes the minimum of 5mV, because both the two control inputs are outputted.

COPYRIGHT: (C)1998,JPO



(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開平10-162585

(43) 公開日 平成10年(1998) 6月19日

(51) Int.Cl.⁸

識別記号

F I

G 1 1 C 11/419

G 1 1 C 11/34

3 1 1

29/00

6 7 1

29/00

6 7 1 B

H 0 3 K 5/02

H 0 3 K 5/02

A

審査請求 未請求 請求項の数 5 O L (全 5 頁)

(21) 出願番号

特願平8-322472

(22) 出願日

平成8年(1996)12月3日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 中島 勝也

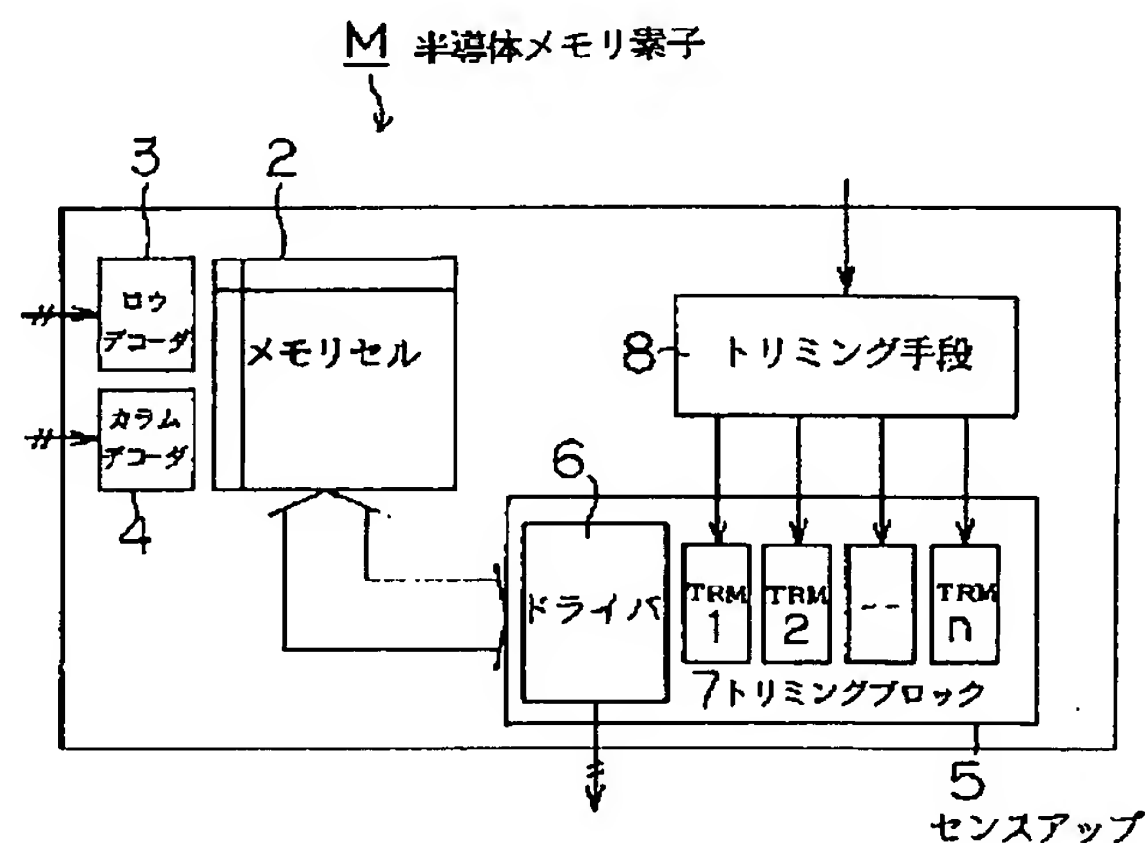
長崎県諫早市津久葉町1883番43 ソニー長崎株式会社内

(54) 【発明の名称】 トリミング機能付きセンスアンプを備えた半導体メモリ素子

(57) 【要約】

【課題】 センスアンプにトリミング機能を付与することにより、より高速読出が可能な半導体メモリ素子を提供する。

【解決手段】 センスアンプ5内のトリミングブロック7を制御してトリミングをかけるトリミング手段8を備え、トリミング手段8として、フューズを使用し、製造後の任意の時点で必要なフューズ箇所を切ることで、センスアンプ5の入力オフセットを減少させる初期設定が可能な構成とする。



【特許請求の範囲】

【請求項1】 センスアンプにトリミングをかけるトリミング手段を備え、製造後の任意の時点で前記センスアンプの入力オフセットを減少させる設定が可能な構成としたことを特徴とするトリミング機能付きセンスアンプを備えた半導体メモリ素子。

【請求項2】 製造後の任意の時点で前記センスアンプの入力オフセットを測定し必要なトリミング量を設定する手段を備えたことを特徴とする請求項1記載のトリミング機能付きセンスアンプを備えた半導体メモリ素子。

【請求項3】 前記トリミング手段として、フューズを使用し、製造後の任意の時点で必要な箇所を切ることで入力オフセットを減少させる構成としたことを特徴とする請求項1または2記載のトリミング機能付きセンスアンプを備えた半導体メモリ素子。

【請求項4】 前記トリミング手段として、EPROM等の不揮発性メモリ素子を内部に組み込み、前記不揮発性メモリ素子に格納された情報に基づいて入力オフセットを減少させる構成としたことを特徴とする請求項1または2記載のトリミング機能付きセンスアンプを備えた半導体メモリ素子。

【請求項5】 前記トリミング手段として、MOSトランジスタを備え、前記MOSトランジスタのホットキャリア特性に基づき、特定のMOSトランジスタに多量のホットキャリアを流し、しきい値電圧を変動させることでトリミング信号を供給する構成としたことを特徴とする請求項1または2記載のトリミング機能付きセンスアンプを備えた半導体メモリ素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、トリミング機能付きセンスアンプを備えた半導体メモリ素子に関するものである。

【0002】

【従来の技術】SRAM素子に代表される高速読出が可能な半導体メモリ素子のアクセス速度を規定するものとして、メモリセルの作動速度とともに、センスアンプの作動速度が重要な要因のひとつになりつつある。従来、このようなセンスアンプには、低電力消費特性などを勘案してMOSトランジスタによる構成が一般的に適用されてきた。

【0003】

【発明が解決しようとする課題】しかしながら、前記のようなセンスアンプをMOSトランジスタで構成した半導体メモリ素子には、センスアンプの入力オフセットが大きい(20mV程度)という欠点があり、したがってビット線上の信号レベルがこれ以上に増加するまで作動が待たされることになり、高速の読出を阻害していた。

【0004】例えば、データQ(例えば1)を出力しやすい様な入力オフセット(20mV)を持つセンスア

ンプがデータNQ(例えば0)を出力するには、ビット線上に最低20mVの入力信号NDが発生するまで読出を待たなければならない。したがって、入力オフセットが0mVの構成に比較して余分なリードタイムを必要とするため、高速読出に不利となるという問題があった。

【0005】本発明は、前記のような従来技術における問題点を解決するためなされたもので、センスアンプにトリミング機能を付与することにより、より高速読出が可能な半導体メモリ素子を提供することを目的とする。

10 【0006】

【課題を解決するための手段】前記課題を解決するため本発明に係るトリミング機能付きセンスアンプを備えた半導体メモリ素子は、センスアンプにトリミングをかけるトリミング手段を備え、製造後の任意の時点で前記センスアンプの入力オフセットを減少させる設定が可能な構成としたことを特徴とする。前記の構成によれば、入力オフセットがあるセンスアンプでも、トリミングによって入力オフセットが減少し(あるいは最小になり)、よってビット線の電位差が小さい段階で直ちに読出動作

20 が実行される。

【0007】あるいは、製造後の任意の時点で前記センスアンプの入力オフセットを測定し必要なトリミング量を測定する手段を備えた構成とされる。前記の構成によれば、トリミング量設定作業の自動化が可能になり、使用効率の向上が可能になる。

【0008】さらに、前記トリミング手段として、フューズを使用し、製造後の任意の時点で必要な箇所を切ることで入力オフセットを減少させる構成とすることもできる。前記の構成によれば、簡素化された構成で、かつ

30 確実な初期設定作業を行うことが可能になる。

【0009】あるいは、前記トリミング手段として、EPROM等の不揮発性メモリ素子を内部に組み込み、前記不揮発性メモリ素子に格納された情報に基づいて入力オフセットを減少させる構成とすることもできる。前記の構成によれば、トリミング情報量が多い構成であっても記憶が可能であり、大容量構成のメモリ素子への適用が可能になる。

【0010】あるいは、前記トリミング手段として、MOSトランジスタを備え、前記MOSトランジスタのホットキャリア特性に基づき、特定のMOSトランジスタに多量のホットキャリアを流し、しきい値電圧を変動させることでトリミング信号を供給する構成とすることもできる。前記の構成によれば、簡素化された安価な構成で、確実な初期設定作業を行うことができ、製品の信頼性向上が可能になる。

【0011】

【発明の実施の形態】以下、この発明の実施の形態を説明する。図1は、本発明のトリミング機能付きセンスアンプを備えた半導体メモリ素子の一実施形態のブロック構成図である。同図に示されるように、半導体メモリ素

子Mは、メモリセル2、デコーダ3（ロウ）および4（カラム）、センスアンプ5、トリミング手段8を備え、センスアンプ5は、ドライバ6とトリミングブロック7によって構成される。トリミング手段8は、トリミングブロック7を制御してセンスアンプ5にトリミングをかける構成となっている。

【0012】センスアンプ5の回路図を、図2に示す。同図において、Q2とQ3が通常使用するMOSであり、Q1とQ4はトリミングを掛けることを目的とするMOSである。さらにQ5とQ6は、どのようなトリミングを掛けるのかを設定するためのMOSであり、通常はOFF状態にある。

【0013】まず、出力OがデータQを出す状態にある場合、すなわち入力NDがDより電位が高い時には、出力Oが中間電位になる。この時は、Q6をオンすることにより、出力Oからグラウンドに流れる電流が増大して入力オフセットをキャンセルする方向に、センスアンプの特性を変えることができる。逆に、出力OがデータNQを出す状態にある場合、すなわち入力DがNDより高電位の場合のトリミングは、Q5をオンすることで実行される。

【0014】図3は、第1トリミングブロックTRM1と第2トリミングブロックTRM2の、2基のトリミングブロックが内蔵された構成を示す。第1トリミングブロックTRM1は、Q6への制御信号c1によってオンまたはオフされ、オン時には例えば5mVの入力オフセット調整を可能にするよう設計されている。また第2のトリミングブロックTRM2は、Q10への制御信号c2によってオンまたはオフされ、オン時には例えば10mVの入力オフセット調整を可能にするよう設計されている。従って、制御信号c1、c2の値の組み合わせによって、5、10、あるいは15mVのトリミング調整が可能となる。

【0015】ここで図1に示されるトリミング手段8が、ヒューズアレイ回路で構成されていた場合、制御入力c1、c2は、このヒューズアレイ回路の出力として供給される。例えば、あるセンスアンプの最適なトリミング調整値が15mVであると測定できれば、第1トリミングブロックTRM1への出力回路のヒューズと第2トリミングブロックTRM2への出力回路のヒューズとが切断されず、導電状態となる。これにより、制御信号c1、c2ともに出力されることになり、よって第1および第2トリミングブロックTRM1、TRM2がともに作動して、センスアンプの入力オフセットが最小の5mVとなる。

【0016】つまり、トリミング用MOSとして入力オフセット5mV用、10mV用の2組があれば、最大プラスマイナス20mVのオフセットをプラスマイナス5mVまで小さくすることができる。このように、複数組のトリミングブロックを備える持つことで、複数段階の

トリミングを行うことができる。

【0017】図4は、図1に示されるトリミング手段の実施形態例のブロック構成図である。同図に示されるように、トリミング手段8Aはトリミング情報11を記憶し供給するEPROM10と、トリミング情報11にしたがいトリミングブロックへの信号をオンオフするスイッチアレイ12から構成される。

【0018】マイコンを備えるシステムに電源投入されると、一般的に開始動作としてモニタプログラムが実行され、モニタプログラムのメモリチェックモジュールがこのシステムに組み込まれているメモリセルの状態チェックを行う。そしてメモリに異常がなければ、システムが動作を開始することになる。

【0019】ここで、モニタプログラム内に、前記のメモリチェックモジュールの実行以前に実行されるソフトウェアモジュールとして、メモリ用センスアンプ5のトリミング始動モジュールを予め準備しておき、このトリミング始動モジュールが実行されると、EPROM10に格納されているトリミング情報に基づいてセンスアンプ用のスイッチアレイ12を切り替え設定されるように構成しておく。

【0020】上記のように構成することによって、電源投入の度に、EPROM10に格納されているトリミング情報がアクセスされ、この情報に基づいてスイッチアレイ12がオンオフされ、センスアンプ5の最適なトリミング構成が初期設定されることになる。以上の初期設定が完了すると、最適なトリミング構成となっているセンスアンプ5を駆使して、メモリチェックモジュールがメモリセル2の状態チェックを実行し、メモリセル2が正常であれば、動作が開始される。

【0021】なお前記では、トリミング情報の格納手段としてEPROMを例に説明したが、これに限ることなく、種々の不揮発性メモリをトリミング情報の格納手段に適用することができる。

【0022】図5は、図1に示されるトリミング手段の他の実施形態例の回路図である。同図に示されるように、トリミング手段8BはMOSトランジスタMT1～MT3を備える。MOSトランジスタのゲート長を一定として、ソース／ドレイン間に大電圧をかけると、ソース／ドレイン間に強電界が生成され、この強電界によってチャネルを通る電子の速度が上がり、Si原子と衝突してキャリア（電子とホール）を生成させるが、これらキャリアがゲート酸化膜内の電荷量を増大させる結果、ある程度の動作時間を経るうちに電流が流れなくなるというホットキャリア効果が生じる。

【0023】したがって、MOSトランジスタの有するこのホットキャリア特性に基づき、特定のMOSトランジスタ、例えば図中のMT1とMT3に多量のホットキャリアHCを流し、しきい値電圧を変動させて電流を停止させ、これによってトリミング情報を構成するもので

ある。

【0024】図6は、本発明のトリミング機能付きセンスアンプを備えた半導体メモリ素子の他の実施形態のブロック構成図である。同図に示されるように、半導体メモリ素子M1は、トリミング手段8に指示を与える測定コントローラ20を内蔵している。他の各部は前記実施形態におけると同様である。

【0025】トリミング値は以下のようにして測定することができる。前記図2において、入力D、NDの電位差が0となるようにする。図2のセンスアンプ以降にも次段、次々段のセンスアンプがあるので、入力電位差が完全に0であっても、出力には何等かのデータがでる。出力データがNQ即ち0の場合は、このセンスアンプがデータ0を出す状態にある。この時、Q5をオンして同じ読出動作を行ってもなおデータ0を出している場合は、Q5をオンしたほうがより入力オフセットを小さくできることになる。

【0026】一方、データ1を出している場合は、Q5をオフしたほうがより入力オフセットを小さくできる。最初の出力データが1の場合は、Q6をオンして同じ測定をし、やはり出力データが1のままであれば、Q6をオンしたほうがより入力オフセットを小さくでき、データ0を出している場合は、Q5をオフしたほうがより入力オフセットを小さくできる。

【0027】前記を反復することで、最適なトリミング値を設定することができ、この最適トリミング値を適用することにより入力オフセットを減らすことができる。

【0028】このようにして得られたトリミングの情報は、前記のようなヒューズ、EPROM、ホットキャリアなどの記憶方法を使って、各センスアンプ毎に記録しておくことができる。出荷時に一度入力オフセットを最適化しておけば、出荷後もその最適化された入力オフセットで使用する事ができる。

【0029】以上のように、本発明のトリミング機能付きセンスアンプを備えた半導体メモリ素子は、読出に使用するMOSで構成されたセンスアンプに、製造後トリミングを掛けることで、製造時に生じたセンスアンプの入力オフセットを解消し、高速読出を実現するものである。さらに、トリミング測定機能を内蔵させることで、自動設定を可能にする。

【0030】

【発明の効果】以上詳述したように、本発明の請求項1に係るトリミング機能付きセンスアンプを備えた半導体メモリ素子は、センスアンプにトリミングをかけるトリミング手段を備え、製造後の任意の時点で前記センスアンプの入力オフセットを減少させる設定が可能な構成とするものであるから、例えばMOSを使用したセンスアンプに入力オフセットがあっても、トリミングによって入力オフセットを減少させる（あるいは最小にする）ことができ、よってビット線の電位差が小さい段階で直ち

に読出動作が実行されることにより、高速の読出が可能になるという効果を奏する。

【0031】本発明の請求項2に係るトリミング機能付きセンスアンプを備えた半導体メモリ素子は、製造後の任意の時点で前記センスアンプの入力オフセットを測定し、必要なトリミング量を設定する手段を備えるものであるから、トリミング量設定作業の自動化が可能になり、使用効率の向上を実現できる。

【0032】本発明の請求項3に係るトリミング機能付きセンスアンプを備えた半導体メモリ素子は、具備するトリミング手段として、フューズを使用し、製造後の任意の時点で必要な箇所を切ることで入力オフセットを減少させるものであるから、簡素化された構成で、かつ確実な初期設定作業を行うことができ、製品の信頼性が向上する。

【0033】本発明の請求項4に係るトリミング機能付きセンスアンプを備えた半導体メモリ素子は、具備するトリミング手段として、EPROM等の不揮発性メモリ素子を内部に組み込み、不揮発性メモリ素子に格納された情報に基づいて入力オフセットを減少させる構成とするものであるから、トリミング情報量が多い構成であっても記憶が可能であり、大容量構成のメモリ素子への適用が可能になる。

【0034】本発明の請求項5に係るトリミング機能付きセンスアンプを備えた半導体メモリ素子は、具備するトリミング手段として、MOSトランジスタを備え、MOSトランジスタのホットキャリア特性に基づき、特定のMOSトランジスタに多量のホットキャリアを流し、しきい値電圧を変動させることでトリミング信号を供給する構成とするものであるから、簡素化された安価な構成で、確実な初期設定作業を行うことができ、製品の信頼性が向上を実現できる。

【図面の簡単な説明】

【図1】本発明のトリミング機能付きセンスアンプを備えた半導体メモリ素子の一実施形態のブロック構成図である。

【図2】図1に示されるセンスアンプの実施形態例の回路図である。

【図3】図1に示されるセンスアンプの他の実施形態例の回路図である。

【図4】図1に示されるトリミング手段の実施形態例のブロック構成図である。

【図5】図1に示されるトリミング手段の他の実施形態例のブロック構成図である。

【図6】本発明のトリミング機能付きセンスアンプを備えた半導体メモリ素子の他の実施形態のブロック構成図である。

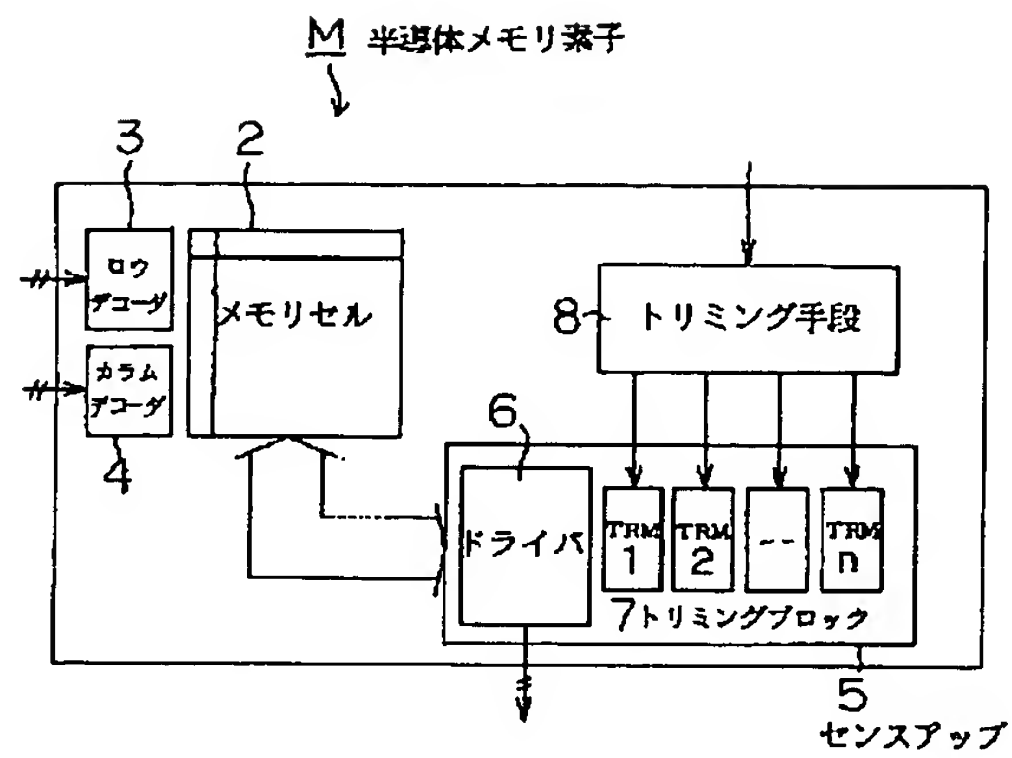
【符号の説明】

M……半導体メモリ素子、2……メモリセル、3……デコーダ（ロウ）、4……デコーダ（カラム）、5……セ

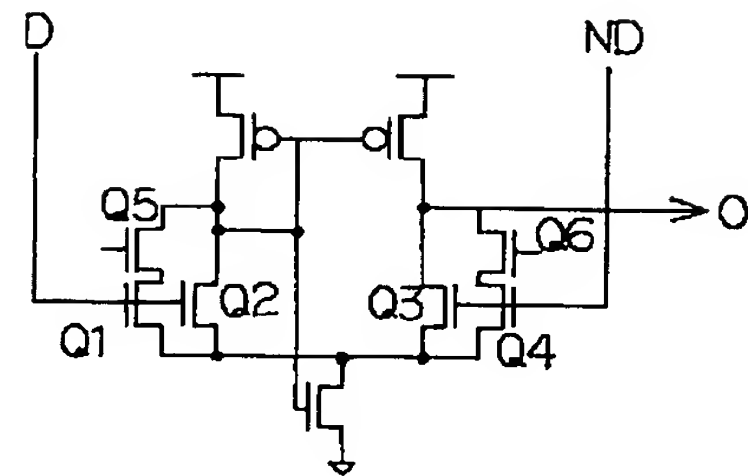
7
ンスアンプ、6……ドライバ、7……トリミングブロッ

ク、8……トリミング手段

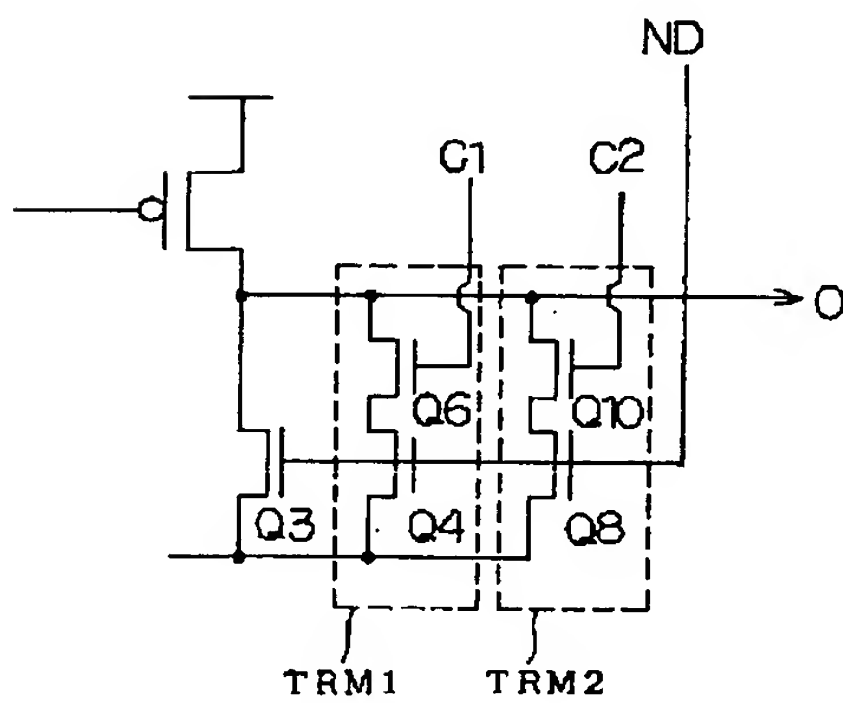
【図1】



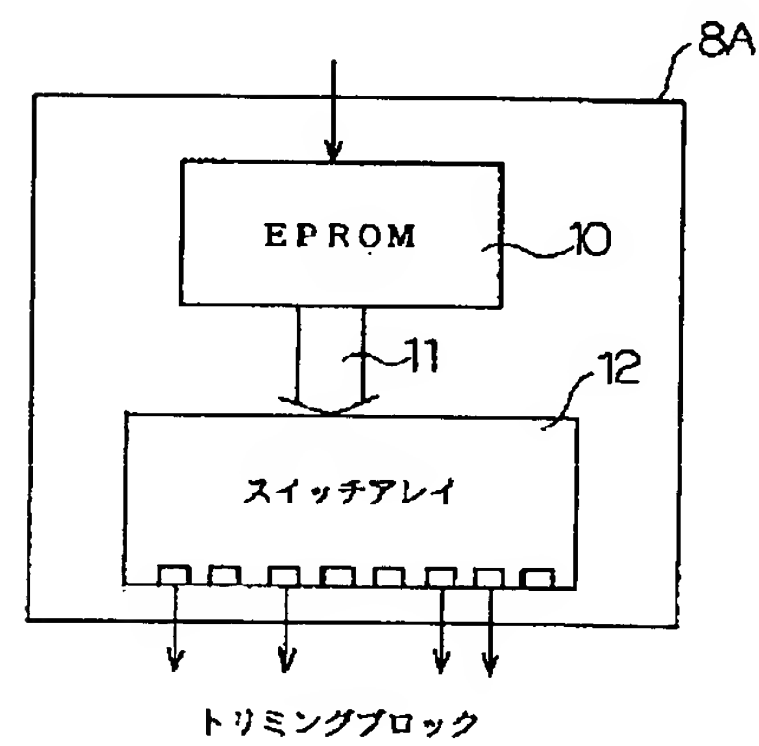
【図2】



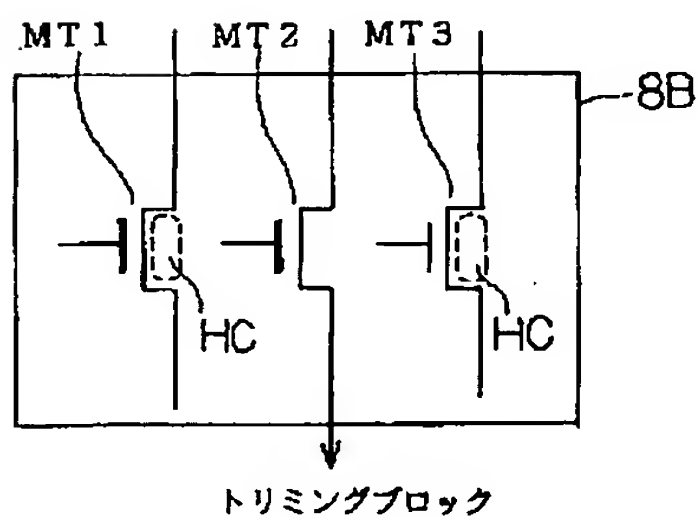
【図3】



【図4】



【図5】



【図6】

